

**SEMICONDUCTOR STORAGE DEVICE**

Patent Number: JP5135576  
Publication date: 1993-06-01  
Inventor(s): TOMIUE KENJI  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: JP5135576  
Application Number: JP19910327099 19911113  
Priority Number(s):  
IPC Classification: G11C11/403; G11C11/409  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To provide a semiconductor storage device which can reduce the power voltage level in a self-refresh mode without causing any refreshing malfunction.

**CONSTITUTION:** A refresh mode detector circuit 91 detects a refresh mode in response to an internal refresh signal and produces a control signal  $\phi_{IS}$  which is sent to the inside. A switch circuit 100 receives the signal  $\phi_{IS}$  and switches the operating signals of a sense amplifier driving circuit 98. Then the drive timing of the amplifier 89 is delayed compared with the normal operation timing in a refresh mode.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

特開平5-135576

(43)公開日 平成5年(1993)6月1日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

G 1 1 C 11/403

11/409

8320-5L

8320-5L

G 1 1 C 11/34

3 6 3 M

353 A

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-327099

(22)出願日 平成3年(1991)11月13日

(7.1)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 冨上 健司

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

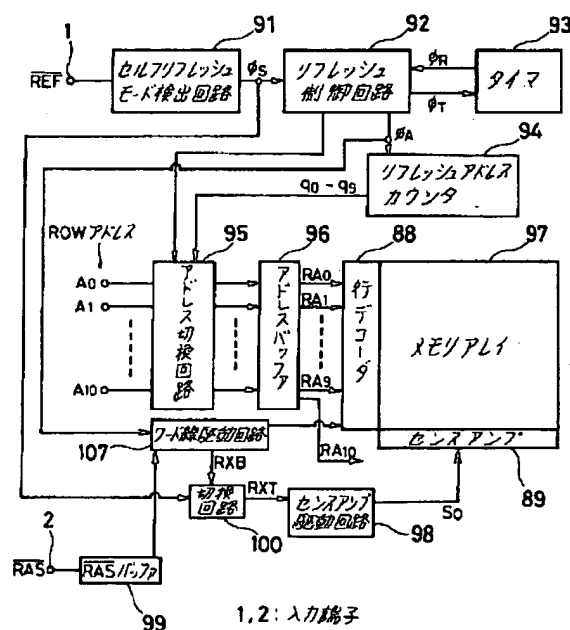
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 セルフリフレッシュ時に電源電圧をリフレッシュ時の誤動作を招くことなく降圧することができる半導体記憶装置を得る。

【構成】 外部からのリフレッシュ信号に応答してリフレッシュモードであることを検出し、内部に送る制御信号φ<sub>s</sub>を発生するリフレッシュモード検出回路91と、上記制御信号φ<sub>s</sub>を受けてセンスアンプ駆動回路98の動作信号を切り換える切換回路100とを備え、リフレッシュ動作時、センスアンプ89の駆動タイミングを通常動作時に比べて遅らせるようにした。



## 【特許請求の範囲】

【請求項1】 外部からのリフレッシュ信号にตอบสนองしてメモリセルデータのリフレッシュを自動的に行う機能を有する半導体記憶装置において、

前記外部からのリフレッシュ信号にตอบสนองしてリフレッシュモードであることを検出し、内部に送る制御信号を発生するリフレッシュモード検出手段と、

前記手段からの制御信号を受けてセンスアンプの駆動タイミングを通常動作時に比べて遅らせる遅延手段とを有する半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体記憶装置に関し、特に、オートリフレッシュ機能を有する半導体記憶装置に関するものである。

## 【0002】

【従来の技術】 近年、パーソナルコンピュータの普及は著しく、様々な分野で用いられているが、最近では、特に携帯型パーソナルコンピュータに対する需要が増大してきている。この携帯型パーソナルコンピュータに用いられる記憶装置としては、電池保持（バッテリーバックアップ）が可能な低消費電力の記憶装置が要求される。

【0003】 このような記憶装置として、通常、ダイナミック型半導体記憶装置（DRAM）またはスタティック型半導体記憶装置（SRAM）が用いられる。このうち、DRAMは、MOSキャパシタ（金属層を一方電極とし、半導体領域を他方電極とし、その間の絶縁膜を誘電体として用いるキャパシタ）に情報電荷を蓄積するという原理を利用している。しかしながら、このようなMOSキャパシタにおいては、その他方電極となる半導体領域と半導体基板との間に形成される接合におけるリークなどにより、蓄積電荷が徐々に失われるため、ある一定時間ごとに蓄積情報を再書き込みする必要がある。このような再書き込み動作はリフレッシュ動作と呼ばれており、携帯用パーソナルコンピュータにおける記憶装置としてDRAMを用いた場合、バッテリーバックアップ時においても一定時間ごとにリフレッシュを行う必要がある。

【0004】 DRAMの通常のリフレッシュモードには、/RASオンリリフレッシュ、/CASピフォア/RASリフレッシュがある。/RASオンリリフレッシュは、外部からリフレッシュ用の行アドレス（リフレッシュアドレス）を与え、ロウアドレスストロブ信号/RASを立下げてDRAMを選択状態にして行うリフレッシュモードである。この/RASオンリリフレッシュにおいてはコラムアドレスストロブ信号/CASは“H”のレベルにある。/CASピフォア/RASリフレッシュモードは、信号/RASを“L”レベルにする前に先に信号/CASを“L”レベルにしてリフレッシュ指示信号を与え、この信号状態に応じてリフレッシュ

を自動的に行うモードである。これらの通常のリフレッシュモードにおいては、信号/RAS、/CAS等のような外部クロック信号により1サイクルずつ制御されてリフレッシュが実行される。従って、バッテリーバックアップ時にこのような通常のリフレッシュモードを用いるのは複雑な制御が必要となり好ましくない。

【0005】 そこで、バッテリーバックアップ時にも容易にリフレッシュを行うために、例えば山田等が“Auto/Self Refresh 機能内蔵64Kbit MOS ダイナミックRAM”，電子通信学会論文誌、1983年1月、第J66-C巻、第1号、第62頁～第69頁に解説しているように、リフレッシュ用のアドレスを発生するアドレスカウンタと、各行のリフレッシュのタイミングを与えるタイマ回路とを内蔵し、自動的にリフレッシュ動作を実行するセルフリフレッシュモードを有するDRAMが考案され実用化されている。このセルフリフレッシュ動作については上述の文献に詳しく解説されているが、以下に図面を参照して簡単に説明する。

【0006】 図4は、従来の半導体記憶装置におけるセルフリフレッシュモードを有する64KビットDRAMの構成を示すブロック図であり、ここではリフレッシュ動作に関連する部分のみが示されている。図において、97は256行（ $2^8$ ）×256列（ $2^8$ ）の行列状に配置されたメモリセルを備えるメモリアレイ、96はアドレス切換回路95からのアドレス信号を受け、その信号を一時的に保持し、かつ内部行アドレス信号RA<sub>0</sub>～RA<sub>6</sub>を発生するアドレスバッファ、88はアドレスバッファ96からの7ビットの内部行アドレス信号RA<sub>0</sub>～RA<sub>6</sub>にตอบสนองしてメモリアレイ97から対応の1行を選択する行デコーダである。

【0007】 明確には示さないが、メモリアレイ97は各々128行256列の2つのブロックに分割されており、アドレスバッファ96からの7ビットの下位アドレス信号RA<sub>0</sub>～RA<sub>6</sub>により、各ブロックから1本のワード線、即ち2本のワード線が同時に選択される。また、アドレスバッファ96からの最上位アドレス信号RA<sub>7</sub>はメモリアレイ97内のブロック選択用のアドレス信号として用いられる。89はセンスアンプである。

【0008】 1はDRAMのセルフリフレッシュ動作を指定するための外部リフレッシュ信号/REFが入力される入力端子、91は入力端子1を介して与えられる信号/REFを受け、セルフリフレッシュモードが指示されているか否かを検出するセルフリフレッシュモード検出回路、92はセルフリフレッシュモード検出回路91からのリフレッシュ検出信号φ<sub>r</sub>にตอบสนองしてアドレス切換回路95、リフレッシュアドレスカウンタ94及びタイマ93の動作を制御する信号を発生するリフレッシュ制御回路、93はリフレッシュ制御回路92からのリフレッシュ指示信号φ<sub>i</sub>にตอบสนองして予め定められた間隔でリフレッシュ要求信号φ<sub>r</sub>を出力するタイマ、94はタ

3

イマ93からのリフレッシュ要求信号 $\phi_r$ にตอบสนองしてリフレッシュ制御回路92より出力された信号 $\phi_a$ によりそのカウント値を1つずつ増分し、そのカウント値に対応するリフレッシュアドレス $q_0 \sim q_6$ をアドレス切換回路95へ与えるリフレッシュアドレスカウンタ94である。

【0009】95は外部から与えられる行アドレス信号 $A_0 \sim A_7$ とリフレッシュアドレスカウンタ94から発生されるリフレッシュアドレス $q_0 \sim q_6$ とを受け、そのいずれか一方を、リフレッシュ制御回路92からのリフレッシュ検出信号 $\phi_d$ にตอบสนองしてアドレスバッファ96へ伝達するアドレス切換回路95であり、ここでは、外部から与えられるアドレス信号 $A_0 \sim A_7$ として、行アドレス信号と列アドレス信号が時分割多重して与えられる。

【0010】2はロウアドレスストロブ信号/RASが入力される入力端子、99は入力端子2からの信号/RASにตอบสนองして、ワード線駆動回路107及びアドレスバッファ96へ所定の信号を与えるバッファ、107は/RASバッファ99より受けた信号により発生した信号RXTをセンスアンプ駆動回路96に与えるワード線駆動回路、98はセンスアンプ89を活性化する信号 $S_0$ を発生するセンスアンプ駆動回路である。

【0011】図5は従来の半導体記憶装置におけるメモリセルの周辺部の構成を示すブロック図であり、 $Q_1$ 、 $Q_2$ はN-c hセンスアンプを構成するN型トランジスタ、 $Q_3$ 、 $Q_4$ はP-c hセンスアンプを構成するP型トランジスタ、51は遅延回路、52はインバータ、 $Q_0$ はN型トランジスタ、 $Q_{10}$ はN-c hセンスアンプを活性化するN型MOSトランジスタ、 $Q_{11}$ はP-c hセンスアンプを活性化するP型MOSトランジスタであり、センスアンプ駆動回路98は遅延回路51、インバータ52、N型MOSトランジスタ $Q_{10}$ 、P型MOSトランジスタ $Q_{11}$ より構成されており、ワード線駆動回路107からの信号RXTを、遅延回路51及びインバータ52を通して、N型MOSトランジスタ $Q_{10}$ 及びP型MOSトランジスタ $Q_{11}$ のゲートに与え、センスアンプ89を活性化する。

【0012】次に動作について説明する。図6は従来の半導体装置におけるDRAMの動作を示すタイミングチャートであり、図中、破線がセルフリフレッシュ時に相当し、実線の波形は通常動作時の場合を示している。

【0013】入力端子2へ与えられる信号/RASを“H”レベルに保ち（スタンバイ状態）、かつ入力端子1へ与えられる外部リフレッシュ信号/REFを“L”レベルに立下げることにより、セルフリフレッシュモード検出回路91はリフレッシュが指示されたことを検出し、リフレッシュ検出信号 $\phi_d$ を出力する。このリフレッシュ検出信号 $\phi_d$ にตอบสนองしてアドレス切換回路95はリフレッシュアドレスカウンタ94からのリフレッシュ

4

アドレス $q_0 \sim q_6$ をアドレスバッファ96へ与える。アドレスバッファ96はこの与えられたリフレッシュアドレス $q_0 \sim q_6$ から内部リフレッシュアドレス $RA_0 \sim RA_6$ を発生し行デコーダ88へ与える。行デコーダ88はこの7ビットのリフレッシュアドレス $q_0 \sim q_6$ （ $RA_0 \sim RA_6$ ）をデコードし、メモリアレイ97の各ブロックにおいて128行のうちの1行、つまり1つのワード線を選択する。続いて図示しない回路によりこの選択された行に接続されるメモリセルのデータのリフレッシュが行われる。

【0014】外部リフレッシュ信号/REFが予め定められたセット時間（最大16 $\mu$ s）以上、“L”レベルに保持され続けると、セルフリフレッシュモードの指定がセルフリフレッシュモード検出回路91により検出される。リフレッシュ制御回路92はこのセルフリフレッシュモード指定の検出にตอบสนองして、リフレッシュ指示信号 $\phi_r$ を立上げてタイマ93を起動する。タイマ93はこのリフレッシュ指示信号 $\phi_r$ にตอบสนองして、予め定められたセット時間（最大16 $\mu$ s）が経過すると、リフレッシュ要求信号 $\phi_r$ を出力し、リフレッシュ制御回路92へ与える。リフレッシュ制御回路92はこのリフレッシュ要求信号 $\phi_r$ にตอบสนองして、信号 $\phi_a$ をリフレッシュアドレスカウンタ94へ出力し、リフレッシュアドレスカウンタ94はこの信号 $\phi_a$ の立ち上がりにより、そのカウント値を増分する。また、この時上記信号 $\phi_a$ は、ワード線駆動回路107に入力され、これによって該回路107は信号RX及び信号RXTを順次立ち上げる。

【0015】これにตอบสนองして、リフレッシュアドレスカウンタ94は先のリフレッシュサイクルで出力したリフレッシュアドレスと異なるリフレッシュアドレス $q_0 \sim q_6$ をアドレス切換回路95へ与える。先のリフレッシュ動作と同様にして、この次のリフレッシュアドレス $q_0 \sim q_6$ に対応する1行がメモリアレイ97において選択され、この選択された1行に選択されるメモリセルのデータのリフレッシュが行われる。

【0016】このタイマ93からのリフレッシュ要求信号 $\phi_r$ は、外部リフレッシュ信号/REFが“L”レベルにあり、かつ信号/RASが“H”レベルの状態にある限り、予め定められた周期で繰り返し発生される。従って、メモリアレイ97の各ブロックにおいて、128本のワード線がこのセルフリフレッシュモードにおいて順次選択され、その選択されたワード線に接続されるメモリセルのデータがリフレッシュされる。例えば64KビットのDRAMの場合、16 $\mu$ s $\times$ 128 $\sim$ 約2msごとにメモリアレイ97のすべてのメモリセルがリフレッシュされることになる。主電源が切られたバッテリバックアップ時には自動的に上述のセルフリフレッシュ動作が行われる。

【0017】

【発明が解決しようとする課題】従来の半導体記憶装置

は以上のように構成されているので、セルフリフレッシュ時も通常動作時も、ワード線が立上ってからセンスアンプ89が駆動を開始するまでの時間Tは全く同じであった。この時間Tは、通常動作時のアクセスタイム（データ出力までの時間）を早くするために、ギリギリまで短くつめており、セルフリフレッシュ時に、例えば消費電流をより少なくするために電源電圧レベルを下げるなどした場合、メモリセルから十分データが読み出せないうちにセンスアンプ89を駆動し始めてしまうので、誤動作するなどという問題点があった。

【0018】この発明は上記のような問題点を解消するためになされたもので、セルフリフレッシュ時に電源電圧をリフレッシュ時の誤動作を招くことなく降圧することができる半導体記憶装置を得ることを目的とする。

【0019】

【課題を解決するための手段】この発明に係る半導体記憶装置は、外部からのリフレッシュ信号に応答してリフレッシュモードであることを検出し、内部に送る制御信号を発生するリフレッシュモード検出手段と、該手段からの制御信号を受けてセンスアンプの駆動タイミングを通常動作時に比べて遅らせる遅延手段とを備え、リフレッシュ時、ワード線が立ち上ってからセンスアンプが駆動開始するまでの時間を長くするようにしたものである。

【0020】

【作用】この発明においてはリフレッシュモード時にワード線の立ち上がりタイミングに対してセンスアンプの駆動タイミングを遅らせるようにしたから、リフレッシュ時電源電圧を下げた場合でもメモリセルからのデータの読み出しレベルが十分なレベルとなった後、センスアンプが駆動することとなり、この結果リフレッシュ動作における誤動作を招くことなく、低消費電力化を図ることができる。

【0021】

【実施例】図1はこの発明の一実施例による半導体記憶装置のDRAMの構成を示すブロック図であり、図4と同符号のものは同一のものを示す。図において100はワード線駆動回路97とセンスアンプ駆動回路98との間に設置され、リフレッシュ検出信号 $\phi_s$ によって制御された切換回路である。

【0022】図2はこの発明の一実施例による半導体記憶装置の切換回路の構造を示すブロック図であり、図において、 $Q_{20}$ 、 $Q_{22}$ はN型MOSトランジスタ、 $Q_{21}$ 、 $Q_{23}$ はP型MOSトランジスタ、50はインバータ、51は遅延回路である。信号RXBの入力端子と信号RXTの出力端子との間には、N型MOSトランジスタ $Q_{20}$ 、P型MOSトランジスタ $Q_{21}$ からなるトランスミッションゲート53と、N型MOSトランジスタ $Q_{22}$ 、P型MOSトランジスタ $Q_{23}$ からなるトランスミッションゲート54とが並列に接続され、トランスミッション

ゲート54と出力端子との間には遅延回路51が接続されており、トランジスタ $Q_{20}$ 、 $Q_{23}$ のゲートにはリフレッシュ検出信号 $\phi_s$ が、トランジスタ $Q_{21}$ 、 $Q_{22}$ のゲートにはインバータ50によるリフレッシュ検出信号 $\phi_s$ の反転信号が与えられるようになっている。

【0023】次に動作について説明する。図3はこの発明の一実施例による半導体装置の動作を示すタイミングチャートであり、図中、破線がリフレッシュ時に相当し、実線の波形は通常動作時の場合を示している。

【0024】セルフリフレッシュ時には、リフレッシュ検出信号 $\phi_s$ は“H”レベルになる。この場合、トランジスタ $Q_{20}$ 、 $Q_{21}$ からなるトランスミッションゲート53がオンとなるので、ワード線駆動回路107から発生した信号RXBは、遅延回路51を通してセンスアンプ駆動回路98への信号RXTを遅らせる。

【0025】通常動作時には、リフレッシュ検出信号 $\phi_s$ は“L”レベルになる。この場合、トランジスタ $Q_{22}$ 、 $Q_{23}$ からなるトランスミッションゲート54がオンとなるので、ワード線駆動回路107から発生した信号RXBは遅延回路51を通ることなく、センスアンプ駆動回路98へ信号RXTとして送られるので、遅延はなく、図3に示すような各タイミングとなる。セルフリフレッシュ時にはワード線が立上ってから、センスアンプ活性化開始までの時間は $T + \Delta T$ となり、通常動作時に比べて遅延回路51による遅延時間 $\Delta T$ 遅くなる。

【0026】このように本実施例では、リフレッシュ動作時にセルフリフレッシュモード検出回路91より発生するリフレッシュ検出信号 $\phi_s$ により、センスアンプ駆動回路98への動作信号を通常動作時に比べて遅らせる切換回路100を設けたので、リフレッシュモード時には、ワード線が立ち上ってからセンスアンプ89が駆動を開始するまでの時間Tが長くなり、リフレッシュモード時にワード線の立ち上がりタイミングに対してセンスアンプの駆動タイミングを遅らせるようにしたから、リフレッシュ時電源電圧を下げた場合でもメモリセルからのデータの読み出しレベルが十分なレベルとなった後、センスアンプが駆動することとなり、この結果リフレッシュ動作における誤動作を招くことなく、低消費電力化を図ることができる。

【0027】

【発明の効果】以上のように、この発明に係る半導体記憶装置によれば、セルフリフレッシュ時に電源電圧をリフレッシュ時の誤動作を招くことなく降圧することができる半導体記憶装置を得るので、リフレッシュモード時には、センスアンプの動作マージンが拡大されることとなり、低消費電力化のために電源電圧を下げた場合にも正常に動作することができ、経済的になるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による半導体記憶装置のD

7

RAMの構成を示すブロック図である。

【図2】この発明の一実施例による半導体記憶装置の切  
換回路の構成を示すブロック図である。

【図3】この発明の一実施例による半導体記憶装置の動  
作を示すタイミングチャートである。

【図4】従来の半導体記憶装置におけるセルフリフレッ  
シュモードを有する64KビットDRAMの構成を示す  
図である。

【図5】従来の半導体記憶装置におけるメモリセルの周  
辺部の構成を示すブロック図である。

【図6】従来の半導体記憶装置の動作を示すタイミン  
グチャートである。

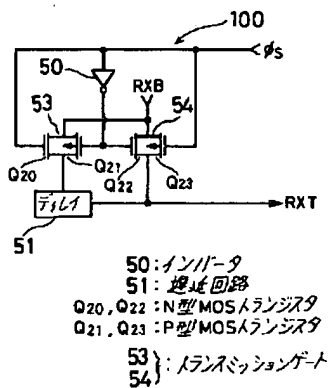
【符号の説明】

- 1 入力端子
- 2 入力端子
- 50 インバータ
- 51 遅延回路
- 52 インバータ
- 53 トランスミッションゲート
- 54 トランスミッションゲート
- 88 行デコーダ
- 89 センスアンプ
- 91 セルフリフレッシュモード検出回路

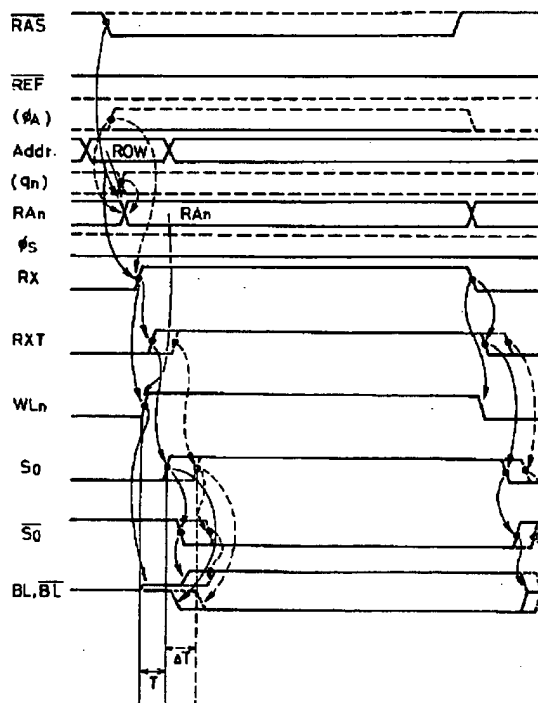
8

- 92 リフレッシュ制御回路
- 93 タイマ
- 94 リフレッシュアドレスカウンタ
- 95 アドレス切換回路
- 96 アドレスバッファ
- 97 メモリアレイ
- 98 センスアンプ駆動回路
- 99 /RAS入力バッファ
- 100 遅延切換回路
- 107 ワード線駆動回路
- Q<sub>0</sub> N型MOSトランジスタ
- Q<sub>1</sub> N型MOSトランジスタ
- Q<sub>2</sub> N型MOSトランジスタ
- Q<sub>3</sub> P型MOSトランジスタ
- Q<sub>4</sub> P型MOSトランジスタ
- Q<sub>10</sub> N型MOSトランジスタ
- Q<sub>11</sub> P型MOSトランジスタ
- Q<sub>20</sub> N型MOSトランジスタ
- Q<sub>21</sub> P型MOSトランジスタ
- Q<sub>22</sub> N型MOSトランジスタ
- Q<sub>23</sub> P型MOSトランジスタ
- C<sub>0</sub> 容量素子

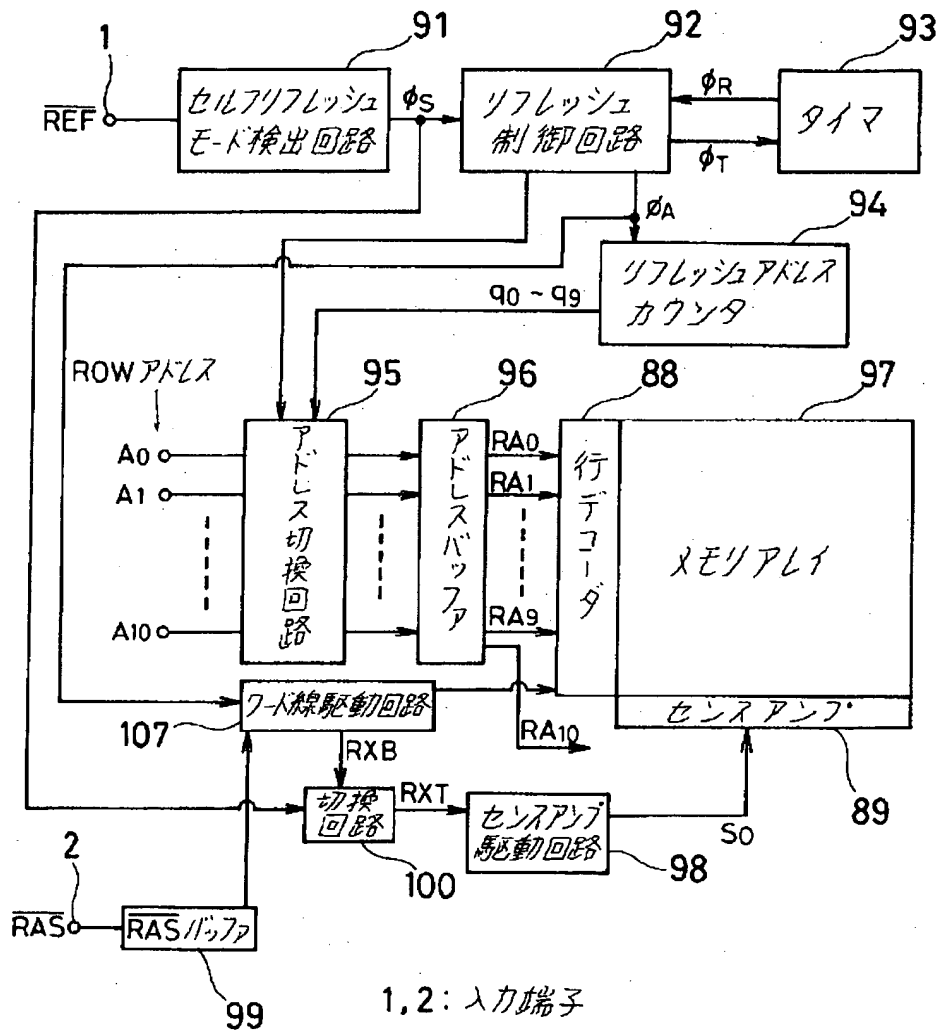
【図2】



【図3】

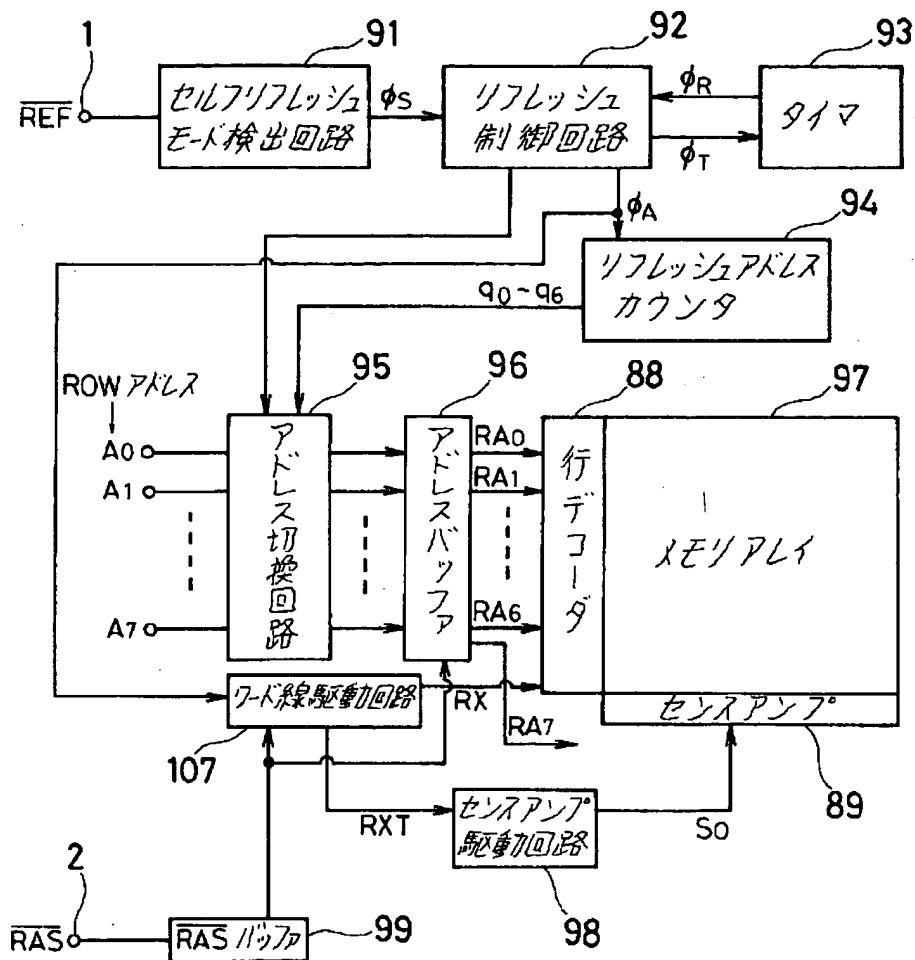


【図1】

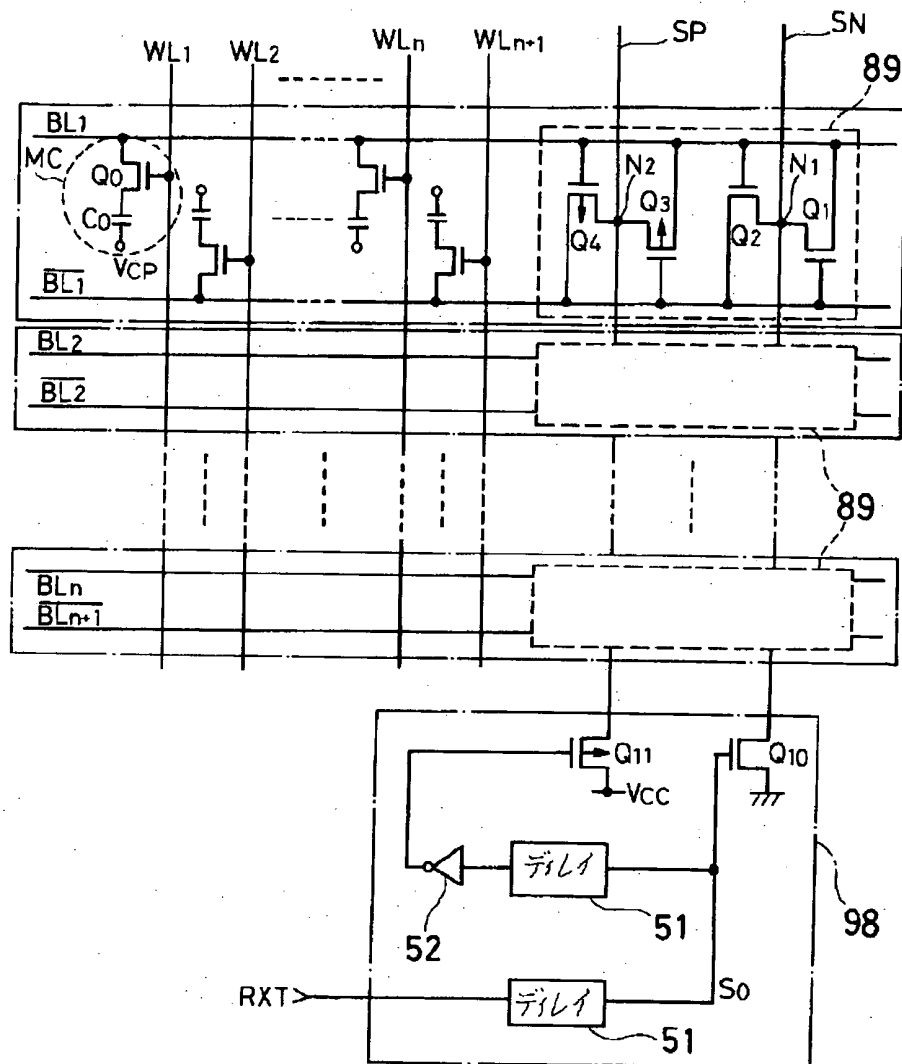




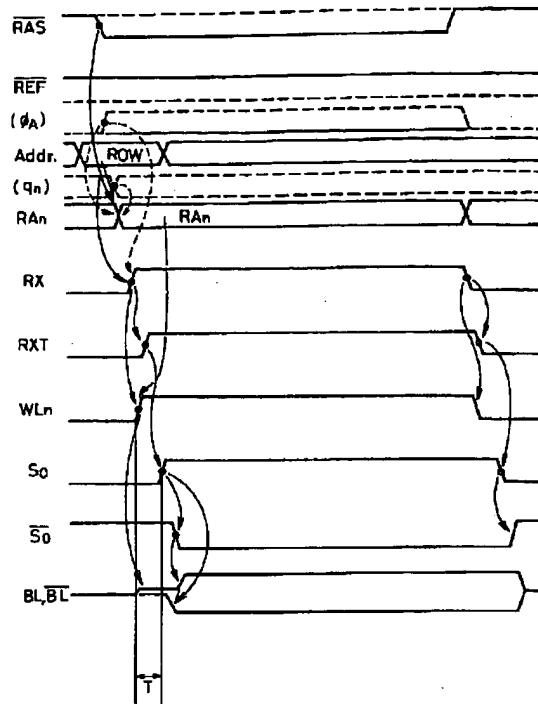
【図4】



【図5】



【図6】



**THIS PAGE BLANK (USPTO)**